

Opleiding : VHDL, ontwerp voor FPGA-doelen

Praktijkcursus - 4d - 28u00 - Ref. VHD
Prijs : 2550 € V.B.

★★★★★ 4 / 5

In deze cursus leer je algemene vaardigheden in het gebruik van VHDL, een taal die ontworpen is om het gedrag en de architectuur van een digitaal elektronisch systeem weer te geven. Je zult in staat zijn om deze taal te ontdekken en je eerste VHDL project te ontwikkelen.

Pedagogische doelstellingen

Aan het einde van de training is de deelnemer in staat om:

- ✓ Leren over de VHDL-taal en zijn vele mogelijkheden
- ✓ De essentiële syntaxis en constructen kennen die gebruikt worden voor FPGA-ontwerp
- ✓ Hoogwaardige VHDL-code produceren die voldoet aan FPGA-synthesebeperkingen
- ✓ Een ontwerp functioneel simuleren door er prikkels op toe te passen door een eenvoudige benchmarktest te schrijven

Doelgroep

Ingenieurs en technici die algemene vaardigheden willen verwerven in het gebruik van VHDL voor FPGA-ontwerp.

Voorafgaande vereisten

Geen speciale kennis vereist.

Praktische modaliteiten

Praktisch werk

Visualiseer VHDL-concepten aan de hand van verschillende voorbeelden en ontwikkel een ontwerpfLOW van het schrijven van code tot het plaatsen van routing.

Opleidingsprogramma

DEELNEMERS

Ingenieurs en technici die algemene vaardigheden willen verwerven in het gebruik van VHDL voor FPGA-ontwerp.

VOORAFGAANDE VEREISTEN

Geen speciale kennis vereist.

VAARDIGHEDEN VAN DE CURSUSLEIDER

De deskundigen die de cursus leiden zijn specialisten op het betreffende vakgebied. Zij werden geselecteerd door onze pedagogische teams zowel om hun vakkennis als hun pedagogische vaardigheden voor elke cursus die zij geven. Zij hebben minstens vijf tot tien jaar ervaring in hun vakgebied en oefenen of oefenden verantwoordelijke bedrijfsfuncties uit.

BEOORDELINGSMODALITEITEN

De cursusleider beoordeelt de pedagogische vooruitgang van de deelnemer gedurende de gehele cursus aan de hand van meerkeuzevragen, praktijksituaties, praktische opdrachten, ...
De deelnemer legt ook van tevoren en naderhand een test af ter bevestiging van de verworven kennis.

1 Wat is VHDL?

- Betekenis van het acroniem en kenmerken van VHDL.
- Geschiedenis van de taal en toepassingsgebieden.
- Toepassingsgebieden en beschrijving van een systeem.
- Voordelen/nadelen van de taal.
- Andere HDL-talen.
- Vergelijking VHDL/Verilog.

2 VHDL in de ontwerpstroom

- Stappen in het ontwerpen van een circuit.
- Een gemeenschappelijke taal: VHDL.
- Functionele simulatie.
- Van taal naar circuit: synthese.
- Draagbaarheid voor meerdere dieptes.
- Van circuit naar taal: retroannotatie.

3 Hiërarchie en functionaliteit

- Twee complementaire visies.
- Voorbeeld van de hiërarchische constructie van een adder.

4 De basis van taal

- Structuur van een VHDL-bestand.
- Gelijktijdige instructies.
- Sequentiële instructies.
- Memento: voorbeeld van combinatorische en sequentiële codering.
- Subprogramma's: functies en procedures.
- Veelvoorkomende fouten en de structuur van een testbank.

Praktisch werk

Gebruik van het 4-bits adderelement (7-segments decoder, 1-cijferige BCD-teller, displayrotatie, beheer van de 4 displays).

5 Hoe beschrijf je het circuit?

- Ontwerp-eenheid: entiteit, architectuur.
- De 3 beschrijvingsniveaus (gedrag, gegevensstroom, structureel).
- Combinatorische en sequentiële operatoren.
- Typeconversies.
- Synchronie toestandsmachines beschrijven.
- Beschrijf architecturen en structureer het circuit.

Praktisch werk

Codering en simulatie: 4-bits adder, 7-segments decoder, 1-cijferige BCD-teller, displayrotatie, beheer van 4 displays.

6 Hoe test je hoe het werkt?

- Structuur van de testbank.
- Unit testen en globaal testen.

Praktisch werk

Codering en simulatie van een toepassing.

PEDAGOGISCHE EN TECHNISCHE MIDDELEN

- De gebruikte pedagogische middelen en cursusmethoden zijn voornamelijk: audiovisuele hulpmiddelen, documentatie en cursusmateriaal, praktische oefeningen en correcties van de oefeningen voor praktijkstages, casestudies of reële voorbeelden voor de seminars.
- Na afloop van de stages of seminars verstrekt ORSYS de deelnemers een evaluatievragenlijst over de cursus die vervolgens door onze pedagogische teams wordt geanalyseerd.
- Na afloop van de cursus wordt een presentielijst per halve dag verstrekt, evenals een verklaring van de afronding van de cursus indien de stagiair alle sessies heeft bijgewoond.

TOEGANGSMODALITEITEN EN TERMIJNEN

De inschrijving dient 24 uur voor aanvang van de cursus plaatsgevonden te hebben.

TOEGANKELIJKHEID VOOR MINDERVALIDEN

Is voor u speciale toegankelijkheid vereist? Neem contact op met mevr. FOSSE, contactpersoon voor mindervaliden, via het adres psh-accueil@ORSYS.fr om uw verzoek en de haalbaarheid daarvan zo goed mogelijk te bestuderen.

7 Devaluatie kaarttest

- Presentatie van de evaluatiekaart.
- Plaatsen en testen van routing op evaluatiekaart.

Praktisch werk

Voer een test uit op een evaluatiekaart.

8 Taalcomplement

- Klasse types (scalaire en gestructureerde types, samengestelde types).
- Kenmerken.

Data en plaats

PARIS LA DÉFENSE

2026 : 23 juni, 29 sep., 17 nov.