

Formation : VHDL, conception pour cible FPGA

Cours pratique - 4j - 28h00 - Réf. VHD

Prix : 2990 € H.T.

★★★★★ 4 / 5

Cette formation vous permettra d'acquérir des compétences générales dans la pratique du VHDL, langage destiné à représenter le comportement et l'architecture d'un système électronique numérique. Vous pourrez découvrir ce langage et développer votre premier projet VHDL.



Objectifs pédagogiques

À l'issue de la formation, le participant sera en mesure de :

- ✓ Appréhender le langage VHDL et ses multiples possibilités
- ✓ Connaître la syntaxe et les constructions essentielles utilisées pour le design FPGA
- ✓ Produire du code VHDL de qualité conforme aux contraintes liées à la synthèse de FPGA
- ✓ Simuler fonctionnellement un design en lui appliquant des stimuli via l'écriture d'un test bench simple

Public concerné

Ingénieurs et techniciens souhaitant acquérir des compétences générales dans la pratique du VHDL pour la conception de FPGA.

Prérequis

Aucune connaissance particulière.

Méthodes et moyens pédagogiques

Travaux pratiques

Visualiser à travers différents exemples les concepts du VHDL et dérouler un design flow de l'écriture de code aux placements routage.

Modalités d'évaluation

Le formateur évalue la progression pédagogique du participant tout au long de la formation au moyen de QCM, mises en situation, travaux pratiques...

Le participant complète également un test de positionnement en amont et en aval pour valider les compétences acquises.

PARTICIPANTS

Ingénieurs et techniciens souhaitant acquérir des compétences générales dans la pratique du VHDL pour la conception de FPGA.

PRÉREQUIS

Aucune connaissance particulière.

COMPÉTENCES DU FORMATEUR

Les experts qui animent la formation sont des spécialistes des matières abordées. Ils ont été validés par nos équipes pédagogiques tant sur le plan des connaissances métiers que sur celui de la pédagogie, et ce pour chaque cours qu'ils enseignent. Ils ont au minimum cinq à dix années d'expérience dans leur domaine et occupent ou ont occupé des postes à responsabilité en entreprise.

MODALITÉS D'ÉVALUATION

Le formateur évalue la progression pédagogique du participant tout au long de la formation au moyen de QCM, mises en situation, travaux pratiques...

Le participant complète également un test de positionnement en amont et en aval pour valider les compétences acquises.

Programme de la formation

1 Qu'est-ce que le VHDL ?

- Signification de l'acronyme et caractéristiques du VHDL.
- Historique du langage et domaines d'applications.
- Domaines d'applications et description d'un système.
- Avantages/inconvénients du langage.
- Les autres langages HDL.
- Comparaison VHDL/Verilog.

2 VHDL dans le flot de conception

- Etapes de conception d'un circuit.
- Un langage commun : le VHDL.
- Simulation fonctionnelle.
- Du langage au circuit : la synthèse.
- Portabilité multifondeur.
- Du circuit au langage : la rétroannotation.

3 Hiérarchie et fonctionnalité

- Deux visions complémentaires.
- Exemple de construction hiérarchique d'un additionneur.

4 Les bases du langage

- Structure d'un fichier VHDL.
- Instructions concurrentes.
- Instructions séquentielles.
- Mémento : exemple de codage combinatoire et séquentiel.
- Sous-programmes : fonctions et procédures.
- Erreurs fréquentes et structure d'un test bench.

Travaux pratiques

Utilisation de l'élément additionneur 4 bits (décodeur 7 segments, compteur BCD 1 digit, rotation de l'affichage, gestion des 4 afficheurs).

5 Comment décrire le circuit ?

- Unité de conception : entité, architecture.
- Les 3 niveaux de descriptions (comportemental, flot de données, structurel).
- Les opérateurs combinatoires et séquentiels.
- Les conversions de type.
- Décrire des machines d'états synchrones.
- Décrire des architectures et structurer le circuit.

Travaux pratiques

Codage et simulation : additionneur 4 bits, décodeur 7 segments, compteur BCD 1 digit, rotation de l'affichage, gestion des 4 afficheurs.

6 Comment tester son fonctionnement ?

- Structure du banc de test.
- Tests unitaires et test global.

Travaux pratiques

Codage et simulation d'une application.

MOYENS PÉDAGOGIQUES ET TECHNIQUES

- Les moyens pédagogiques et les méthodes d'enseignement utilisés sont principalement : aides audiovisuelles, documentation et support de cours, exercices pratiques d'application et corrigés des exercices pour les formations pratiques, études de cas ou présentation de cas réels pour les séminaires de formation.
- À l'issue de chaque formation ou séminaire, ORSYS fournit aux participants un questionnaire d'évaluation du cours qui est ensuite analysé par nos équipes pédagogiques.
- Une feuille d'émargement par demi-journée de présence est fournie en fin de formation ainsi qu'une attestation de fin de formation si le participant a bien assisté à la totalité de la session.

MODALITÉS ET DÉLAIS D'ACCÈS

L'inscription doit être finalisée 24 heures avant le début de la formation.

ACCESSIBILITÉ AUX PERSONNES HANDICAPÉES

Pour toute question ou besoin relatif à l'accessibilité, vous pouvez joindre notre équipe PSH par e-mail à l'adresse psh-accueil@orsys.fr.

7 Test sur carte d'évaluation

- Présentation de la carte d'évaluation.
- Placement routage et test sur carte d'évaluation.

Travaux pratiques

Réalisation d'un test sur carte d'évaluation.

8 Complément du langage

- Types de classe (types scalaires et structurés, types composites).
- Les attributs.

Solutions de financement

Plusieurs solutions existent pour financer votre formation et dépendent de votre situation professionnelle.

Découvrez-les sur notre page [Comment financer sa formation](#) ou [contactez votre conseiller formation](#).

Horaires

Les cours ont lieu de 9h à 12h30 et de 14h à 17h30.

Les participants sont accueillis à partir de 8h45. Les pauses et déjeuners sont offerts.

Pour les formations de 4 ou 5 jours, quelle que soit la modalité, les sessions se terminent à 16h le dernier jour.

Dates et lieux

PARIS LA DÉFENSE

2026 : 23 juin, 29 sep., 17 nov.